

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭58—94227

⑫ Int. Cl. ³ H 03 K 3/366 G 11 C 11/40	識別記号 101	序内整理番号 7631-5J 6549-6B	⑬ 公開 昭和58年(1983)6月4日 発明の数 1 審査請求 未請求
---	-------------	------------------------------	--

(全 10 頁)

⑭ スタティックリセット機能を有する不揮発性
フリップフロップ

⑮ 特 願 昭57—202845

⑯ 出 願 昭57(1982)11月18日

優先権主張 ⑭ 1981年11月20日 ⑮ フランス
(F R) ⑮ 81 21801

⑰ 発明者 ジヤン・ミシエル・ブリス
フランス国38 000グルノーブル・プラス・ジャクリース・マ
ヴァル 2

⑱ 発明者 パトリック・マイヤール
フランス国38 000グルノーブル・リュ・マルソー 8

⑲ 出願人 ソシエテ・プール・レデュード
・エ・ラ・ファブリカシオン・デ・シルキユイ・アンテグレ
・スペシオーネー・ウー・エフ・セー
・イー・エス
フランス国38100グルノーブル
・アヴニユ・デ・マルチール 17

⑳ 代理人 弁理士 川口義雄 外2名

明細書

1. 発明の名称

スタティックリセット機能を有する不揮発性クリップフロップ

2. 特許請求の範囲

(1) 電源電圧と逆電圧間に接続された組成端点Q及びQ^{*}を有するMOSトランジスタフリップフロップを具備した不揮発性記憶フリップフロップであつて、上記不揮発性記憶フリップフロップは、各々が不揮発性記憶エレメント(電気的にプログラムし得るしきい値電圧を有するMOSトランジスタ)とMOSトランジスタ型のスイッチングエレメントとの直列接続回路からなる2つの記憶分岐回路を有しており、上記各スイッチングエレメントの端子は電源電圧に接続されており、上記分岐回路の第1分岐回路の記憶エレメントの主端子の一方と側面端子とは夫々上記組成端点Q及び接続点Q^{*}に接続

されており、上記分岐回路の第2分岐回路の記憶エレメントの主端子の一方と側面端子とは夫々上記接続点Q^{*}及び接続点Qに接続されており、両スイッチングエレメントの各側面端子は副側面端子に接続されており、更に、上記不揮発性記憶フリップフロップは、クリップフロップの正常動作、クリップフロップの状態の記憶化、不揮発性記憶、クリップフロップのリセット機能を達成するために制御信号に適応して電源電圧を変えるための手段を有することを特徴とする不揮発性記憶フリップフロップ。

(2) 上記MOSトランジスタフリップフロップは相補形トランジスタを有することを特徴とする特許請求の範囲第1項に記載の不揮発性記憶フリップフロップ。

(3) 上記MOSトランジスタフリップフロップはエンハンスマントダイプレーション型トランジスタを有することを特徴とする特許請求の範

記録第3段に記載の不揮発性記憶フリップフロップ。

(4) 上記記憶エレメントはNMOS型であり、その基板はそのソースに接続されていることを特徴とする特許請求の範囲第2項に記載の不揮発性記憶フリップフロップ。

(5) 上記記憶エレメントは浮動ゲートMOS型であることを特徴とする特許請求の範囲第3項に記載の不揮発性記憶フリップフロップ。

(6) 上記スイッチングエレメントはアチキンネル型MOSトランジスタであり、記憶エレメントはドチャインネル型MOSトランジスタであることを特徴とする特許請求の範囲第4項に記載の不揮発性記憶フリップフロップ。

(7) 電源電圧は不揮発性記憶フリップフロップの正常の動作のための第1レベル、記憶エレメントを適切な状態に設定するための第2レベル、或いはしや断られた基準電圧にあり、制御信号

はスイッチングエレメントのターンオフを可能にする第1の値と、これらのエレメントのターンオンを可能にする第2の値との間で変化することができ、不揮発性記憶フリップフロップの正常の動作期間中は、電源電圧は第1レベルにあり、制御信号は第1の値にあることを特徴とする特許請求の範囲第5項に記載の不揮発性記憶フリップフロップ。

(8) 記憶化の段階中、電源電圧は制御信号と共に第2レベルにあることを特徴とする特許請求の範囲第7項に記載の不揮発性記憶フリップフロップ。

例：記憶装置中、電源電圧は制御信号の値とは不定であることを特徴とする特許請求の範囲第7項に記載の不揮発性記憶フリップフロップ。
該記憶装置中、制御信号は始々に第1レベルにまで上り、制御信号は最初に第2の値にあり、それから、一固定電圧が確立されると、

第1レベルに対する第1の値になることを特徴とする特許請求の範囲第8項に記載の不揮発性記憶フリップフロップ。

(9) 更に、記憶エレメントの各々と複数点Q及びQ^{*}間に矢印で接続された第2のドチャインネルMOSトランジスタが設けられており、これらのMOSトランジスタのゲートに印加される電圧は記憶化段階中以外の制御信号の値と同じであることを特徴とする特許請求の範囲第9項に記載の不揮発性記憶フリップフロップ。

(10) 第1分岐回路と第2分岐回路とは不揮発性記憶フリップフロップの上記端部を除いてではなく、他の端部を経て接続されており、との別の供給電圧の値は、この点が上記不揮発性記憶フリップフロップの電源電圧の立ち上り前に上る上記復元段階中以外は重要でないことを特徴とする特許請求の範囲第10項に記載の不揮発性記憶フリップフロップ。

(11) 更に、追加トランジスタを有するフリップフロップの各分岐回路を構成している相補トランジスタ間に追加ドチャインネルトランジスタを有しており、これらの相補形ドチャインネルトランジスタはスイッチングエレメントに印加された制御信号に対して相補的な制御信号により制御されるることを特徴とする特許請求の範囲第11項又は第12項に記載の不揮発性記憶フリップフロップ。

(12) 記憶分岐回路の1方が除去されていて、残りの記憶分岐回路が作動しない所定の状態、即ち記憶エレメントが高いインピーダンスにある所定の状態にリセットされるように、上記MOSトランジスタフリップフロップが非対称形構成されていることを特徴とする特許請求の範囲第13項に記載の不揮発性記憶フリップフロップ。

3. 発明の詳細を説明

本発明は保護回路を有する素構回路、並しくは、

記憶内容のある時点で記憶エレメントに不揮発的に記憶することができ、また記憶されたデータを幾つぞ復元することができるフリップフロップに備する。

本発明によれば、電源が切断された場合フリップフロップに蓄積されていた情報を記憶し、電源が復旧した場合フリップフロップをリセットすることができる。

本発明は、特にMOS型ダイオード、即ち半導体面上の絶縁層（例えば酸化物）上に形成された導電ゲート（例えば金属M）を有するダイオードに関する。

本発明による保護回路の目的は次の機能を達成することにある。

一 動作の安全性、特に：

- ・不揮発性記憶エレメントへフリップフロップの状態を書き込むこと。これは、いかなる動作状態においても常に可能である。

保護回路フリップフロップを提供する。記憶分散回路の各々は、地電位にプログラミングされるしきい値電圧を有するMOSトランジスタ型の不揮発性記憶エレメントとMOS型のスイッチングエレメントとの区別保護回路を有する。各スイッチングエレメントの端子は電源電圧に接続されている。第1分散回路の記憶エレメントの空端子の一方と感応端子とは矢印端子Q及びQ^{*}に接続されており、第2分散回路の記憶エレメントに接続してはこの逆である。スイッチングエレメントの感應端子は翻側信号端子に接続されている。翻側信号は次の機能、即ち、不揮発性記憶回路から独立したフリップフロップの正常な動作と、フリップフロップの状態の記憶化と、記憶と、フリップフロップのリセットタイミング機能を行なうため供給され、翻側電圧はこれらの種つかの機能を行う際に電源電圧の変化に連動して変化するようになつている。

上記従来型のフリップフロップは既往の相補型

電源が不揮発性記憶エレメントの状態から復元する時および正常な場合が与えられた時フリップフロップを正確にリセットすること。

- ・リセット操作中以外、記憶エレメントによりフリップフロップが影響を受けないこと。

一 使用の容易さ

- ・保護機能に必要な特定の制御数の減少。
- ・記憶及びリセット操作の速さ、特に出来るだけ短かいことが必須を記憶化の速さ。

これらの必要性を満たすため、本発明は不揮発性記憶機能を有する保護回路が連結され、記憶及びリセットの制御をたつた1本の制御ラインで行なうことができるフリップフロップを提供するにある。

Cの目的を達成するため、本発明は、電源電圧(VDD)と電源電圧(M)間に接続され、2つの記憶分散回路が付加され、相補端子Q及びQ^{*}を有する従来型のMOSフリップフロップを有する不

MOSトランジスタが並びてエンハンスマントおよびデイスプレーション型MOSトランジスタがで構成されている。記憶エレメントはMNOS(金属-酸化物-酸化物-半導体)トランジスタであり、その基板はソースと接続されている。これらの記憶エレメントは反復動作型であり得る。スイッチングトランジスタはPチタキや感應ゲート型MOSトランジスタであり、記憶エレメントはNチャネル型である。本発明による不揮発性フリップフロップを1つの段階、即ち、記憶に保護供給正常動作、記憶化動作、記憶中動作及びリセット動作について可能にするため、電源電圧は、フリップフロップの從来の動作を可能にする第1レベルと記憶エレメントのしきい値を変えることを可能にする第2レベル間で切り替わる。また、電源電圧は除去され易く、そのため不揮発性記憶装置が駆けられるのである。スイッチングエレメントに適用された制御信号は、スイッチングエ

レメントをターンオフし得る第1の端とこれらのエレメントをターンオンし得る端との間に交わり得る。

フリップフロップの正者の動作範囲中、電源電圧は第1レベルにあり、制御信号は第1の端にある。記憶化状態中、電源電圧は第2レベルがあり、制御信号は第1の端にとどまるか或いは第2レベルに追従する。記憶状態中、電源電圧と制御信号とは常に異なるか或いは運動している。最後に、リセット状態中、電源電圧は第1レベルで復元され、地元制御信号は、フリップフロップの正常の動作状態に達するため第1の端にまで大きくなる前に、最初に第2の端にある。

本発明の利点によると、フリップフロップの内容が記憶化される前ののみ、記憶エレメントは動作サイクルになることに注目されたい。フリップフロップの状態が変化する毎にこれらのエレメントの状態は変化しない。この特徴は、MNO8トランジスタの

方を取り得るが、しかし失して同じ状態を取れない。このフリップフロップは例えばラボルトの電源VDDと例えればアースのような低電圧端子と直結されている。従つて2つの論理状態を及びQ¹は電圧VDDか或いはアース電圧かに対応する。通常のフリップフロップ動作においては、電圧VDDは通常的ラボルトである。

フリップフロップ1は導通性フリップフロップ即ち、電源VDDが除去されるとフリップフロップの最後の状態が失われる型式のものである。電源の除去以前に記憶されていた最後の情報を保護するため、各々記憶エレメント2又は4と、制御スイッチ3又は5とを有する2つの記憶分岐がフリップフロップに付加されている。これらの2つの記憶分岐はフリップフロップ出力の一方と電圧VDD間に接続されている。制御スイッチ3及び5は同じ制御電圧VRを供給され、同時にオン或いはオフの状態である。記憶エレメント2及び4

ンジスタの動作サイクルが10⁴乃至10⁵サイクルの範囲内の値で制限されるため、MNO8型トランジスタが記憶エレメントとして用いられるときは特に重要である。

本発明は前記利点と、更に記憶化がたつた2つの制御サイクルにより特に簡単に急速にことをわけるという利点とを使している。

これらの目的、特徴及び利点を、本発明の他の特徴と共に次の図面に関する好適具体例の次の説明により詳細に説明する。

フリップフロップを示す図では人力／出力端子と、接続点Q及びQ¹と接続されたフリップフロップの周辺装置とは図示されていない。それらは既述の方法で配置される。

第1図は本発明による回路の一較図式圖である。この回路は相補端子又は兼続点Q及びQ¹を含む従来型の双安定フリップフロップを有しており、上記接続点の各々は2つの論理状態の一方又は他

は2つの電気的にプログラムし得るしきい値電圧を有するMNO8トランジスタであり、2つの主端子と1つの副端子とを有する。この副端子はフリップフロップ1の相補端子の一方に接続され、またとの相補端子の他方に主端子の一方が接続されている。

保護動作、即ち記憶エレメント2及び4を通じた状態にするために、電源が切替される直前に電圧VDDを上昇させる。電源電圧を自動的に切替する場合はおこないない。電源電圧が昇降に切替される場合、電源電圧の低下が検出されるやいなや、短時間の間そのような高電圧を供給するための回路は組みられており、この場合、その高電圧源は例えばデバイスの通常の動作中にコントロールされ実現されているのである。そして、高電圧が現れると、高電圧はフリップフロップの接続点Q及びQ¹間に印加され、各記憶エレメント2及び4の制御端子と主端子の上方との間に逆に

作用する。記憶エレメントのプログラムアルミの電圧がクリップフロップの通常の動作電圧よりも高い場合、これは一般に通常のデバイスに見られる場合だが、この場合には記憶エレメント2及び4を用意状態にセットすることが可能となる。記憶エレメント2及び4に記憶された状態によって、電源が復帰した時クリップフロップをリセットする方法については、説明を簡略化するため本発明の好適具体例の説明と共に以下で詳細に説明する。

「電気的にプログラムし得るしきい電圧式MOSトランジスタ」型の記憶エレメントは、例えばMNOS（金蒸・窒化膜・酸化物・半導体）セルか、又は最近ではプロトックス（Protex）トランジスタと呼ばれるような浮動ゲートトランジスタである。実際には記憶エレメント2及び4は、双安定クリップフロップを構成するエレメントと調和して操作され得るエレメントの中から選択

され、T1及びT2のゲートはトランジスタT3及びT4のドレイン／ソース接続点と接続されており、トランジスタT3及びT4のゲートはトランジスタT1及びT2のソース／ドレイン接続点と接続されている。トランジスタT3及びT4のゲートの接続点に対応する端子はQ¹で示され、トランジスタT1及びT2のゲートの接続点はQ²で示されている。

このクリップフロップの動作についてはそれ各自公知であるのでここでは詳細に説明しない。本発明ではこのクリップフロップに2つの記憶分岐が付加されている。接続点Q¹に接続された第1分岐はPチャネルMOSトランジスタT3と直列接続されたMNOSエレメントTM1を含んでおり、このトランジスタT3の他端は電源電圧VDDC間に接続された第2分岐はMNOSエレメントTM2とアチャネルトランジスタT4とを含む。Pチャ

ネルトランジスタT5及びT6のゲートは制御信号源のRに相互接続されている。MNOS記憶エレメントTM1のゲートは接続点Q¹と接続されており、エレメントTM2のゲートは接続点Q²と接続されている。トランジスタTM1及びTM2の各自的ソースと基板は大きな接続点Q³及び接続点Q⁴に相互接続されている。両端子には又トランジスタT5及びT6の基板とドレイン端子間に構成される浮遊ダイオードが図示されている。

電源端子VDDと制御端子Rに印加された電圧を図示する第3図に示してこのデバイスの動作について説明する。

通常の動作の範囲1では、電源電圧VDDは例えば5ボルトのクリップフロップの通常の動作電圧である。制御信号Rは、トランジスタT3及びT6をターンオフするために、VDDと同様例えば5ボルトの高いレベルにある。この構成においては、エレメントTM1及びTM2のゲートとソ

ソース基板間に印加された電圧は約5ミルトであるつて、これらのエレメントのしきい値状態を変えるには不充分である。従つて、トランジスタT₁及びT₂のゲートのターンオフにより記憶分離はクリップフロップの動作に実質上影響を与えない。それらの唯一の影響はMNOBエレメントの存在により接続点Q₁及びQ₂*での相補キャッシュンスにある。本発明の重要な特徴によると在りすべきことに、MNOBエレメントのプログラム化を生じしないクリップフロップの状態の変化中これらのMNOBエレメントに印加された5ミルトの電圧はこれらのエレメントの老化をうみ出さない。これらの状態では、反対のクリップフロップは無段階の状態変化を表示し得る。

記憶化の段階までは、電子V_DCでの電圧は、MNOBエレメントのしきい値電圧に作用するよう示す例えば5ミルトの基準電圧である高いレベルにまで順調的に上昇する。同時に信号のRは電圧

(ビーダンス)。トランジスタT₁及びT₂がブロッケられているため時電流の流れがなくともとの記憶化段階が生じる。従つて回路の消耗は非常に低い。

この記憶化段階後、デバイスの通常の動作が復元されると、MNOBエレメントに記憶された状態により記憶化の時に存在するその状態にクリップフロップをリセットすることが可能になる。しかし通常、記憶化段階の次には直線電圧V_DCと翻側信号S_Rが零レベルにあるかあるいは運動している記憶装置が続く。

クリップフロップをリセットするには、第3回の波形図に図示するように、電圧電圧V_DCは再び供給され、信号S_Rは常に維持される。前述した場合には、エレメントTM₁は導通状態であり、エレメントTM₂はブロッケられた状態である。V_DC電圧が上昇する間で、PチャネルトランジスタT₂, T₄, T₅, T₆のしきい値電圧V_Tに達

V_DCにおいても5ミルトにまで上る。この状態では、MNOBエレメントTM₁及びTM₂のゲートとソース-基板間に5ミルトの正又は負の電圧が印加される。特にクリップフロップの最後の状態でQ₁が高レベル、Q₂が低レベルにあると假定すると、エレメントTM₁はそのゲート上に5ミルトの電圧を、そのソース及び基板上に5ミルトの電圧を印加され、他方エレメントTM₂はそのゲート上に5ミルトの電圧を、そのソース及び基板上に5ミルトの電圧を印加されている。従つてエレメントTM₁は低いしきい値電圧に、エレメントTM₂は高いしきい値電圧にプログラムされる。従つて、0に等しいゲート-ソース電圧に対し、エレメントTM₁はダイグレション状態があり、即ちドレインとソース間でターンオフされており(低いインピーダンス)、他方エレメントTM₂はアンヘンスマント状態あり、即ちドレンとソース間でターンオフされている(高いイ

しない高は、PチャネルトランジスタT₂, T₄, T₅及びT₆はターンオフされたままにとどまる。電圧V_DCがこの値V_Tを超えると、Pチャネルトランジスタは導通し始め、接続点Q₁及びQ₂*での電圧は上昇する。次に導入記憶分離(T₅, TM₁)の導通状態により接続点Q₂*の電圧は電圧V_DCの増加に従い増加し、クリップフロップの動作によりトランジスタT₁及びT₂のゲート上に反対の電圧を生成する。即ちトランジスタT₂はターンオフされ、トランジスタT₁はターンオンされる。接続点Q₁での電圧は低く、接続点Q₂*での電圧は高い。第4回には電圧V_DCの変化と共に電圧(V_q及びV_q*)の変化がより詳細に図示されている。

リセット段階中の動作は信号S_Rが5ミルトに維持されることを必要とする。これは、リセット段階中、局対装置の動作と関連した問題を生起する。畢竟、直線電圧が少くともPチャネルトラン

リストのしきい値電圧に達しない限り、即ちトランジスタがターンオンしない限り、電圧が常にとどまるなどを確かめることは困難である。そして、出力接続点 Q 及び Q^{*} は高いインピーダンスの状態にあり、電圧を決定するのに各電圧結合だけである。従つて開示されたデバイスはスタティックリセット型であるが、MOSFET リメントにより導入されたオフセットが遅い制限された場合にダイナミックなものも構成され得てならない。特に接続点 Q 及び Q^{*} は浮遊ダイオード、トランジスタのキャパシタンス、及び浮遊キャパシタンスを介して VCO に遮断し得る。電圧 VCO の立ち上がり時間の性が考慮されねばならない。立ち上がり時間が長い場合、各電圧の面が偏移され得る。

技術的に見、最も効率取れた回路はパルク上又は電源基板上で MOSFET 技術を用いることにより構成され得る。電源基板の場合、トランジスタは当然その中に搭載されている。パルク技術の場合、

じである。トランジスタ T₂ 及び T₃ はクリップフロップの正負を動作波形中オフセットされ、従つて MOSFET リメントに対し接続点 Q 及び Q^{*} を短絡させることにより接続点 Q 及び Q^{*} 上に印加される各電圧電位を保らすことを可能にする。トランジスタ T₂ 及び T₃ のゲート上の制御信号は、これらのトランジスタが導通してをければならない時鐘化装置を中心外の全ての波形中の制御信号の X と同じである。この実験内ではクリップフロップのダイナミック特性が改良されるが、しかし 2 つの追加トランジスタと特徴の回路ラインを付加される。

図 6 図には第 2 の実験例が図示されている。この回路は一般に第 2 回の回路と同じであるが、しかしクリップフロップの電源電圧 VCO₁ と記録分岐回路の供給電圧 VCO₂ に対し別個の電源ラインが付けられている。この実験例の目的は、主にリセットタイミング中のクリップフロップの負荷 T₂ 及

N チャネルトランジスタ T₁ 及び T₃ と MNOS N チャネルエレメント TM₁ 及び TM₂ とは P 型銀線に打込まれている。これらの銀線は図示されたように、アースか並いはこれらの構造に含まれる N チャネルトランジスタのソースに接続されている。浮遊ダイオード接続ノードはある程度キヤシタンスを有しており、その接続電圧は回路に印加され先電圧よりも高く、その浮遊電流はごくわずかである。

クリップフロップの幾つかの特徴を、特に復元段階中の動作の安全性を改良し得る前記具体例の幾つかの変更について以下で説明する。

図 5 図は開示された実験例では、回路は一般に第 2 回の回路と同じであるが、しかし 2 つの P チャネルトランジスタ T₂ 及び T₃ が先の MNOS トランジスタ TM₁ 及び TM₂ のソースと接続点 Q^{*} 及び Q 間に付加された。電源電圧 VCO₁ と信号線 VCO₂ 上の異なる段階中の作用は第 2 回の作用と同

じである。トランジスタ T₂ 及び T₃ はクリップフロップの正負を動作波形中オフセットされ、従つて MNOS エレメントに対し接続点 Q 及び Q^{*} を短絡させることにより接続点 Q 及び Q^{*} 上に印加される各電圧電位を保らすことを可能にする。トランジスタ T₂ 及び T₃ のゲート上の制御信号は、これらのトランジスタが導通してをければならない時鐘化装置を中心外の全ての波形中の制御信号の X と同じである。この実験内ではクリップフロップのダイナミック特性が改良されるが、しかし 2 つの追加トランジスタと特徴の回路ラインを付加される。

図 6 図には第 2 の実験例が図示されている。この回路は一般に第 2 回の回路と同じであるが、しかしクリップフロップの電源電圧 VCO₁ と記録分岐回路の供給電圧 VCO₂ に対し別個の電源ラインが付けられている。この実験例の目的は、主にリセットタイミング中のクリップフロップの負荷 T₂ 及

この回路は一般に第2回の回路と同じであるが、しかし3つのトランジスタT₁及びT₂が一方ではトランジスタT₁及びT₂間に、他方ではトランジスタT₃及びT₄間に挿入されている。これらのトランジスタは信号のRに接続し相補的な翻訛信号OR^{*}により制御される。従つて、これらのトランジスタは最終点を及びQ^{*}の負荷を絶縁するリセクト回路中以外は常にターンオンされている。従つて、供給中の電圧V_Dの立上がりの最初の部分では、信号のRはトランジスタT₃及びT₄をターンオンさせるためのゲートに維持され、他方信号OR^{*}は、電圧V_DがPチャネルトランジスタの立上がり電圧を超えるやいなやトランジスタT₁及びT₂をターンオフするための電圧V_{GCO}を切く。従つてトランジスタT₃及びT₄により構成された負荷は接続点A及びQ^{*}に対して地接されており、MOSエレメントはそれらの立ち電圧（これらの導通状態）に従つてこれら

の接続点の電圧を制御する。

第3回は本発明の別の具体例を示しており、ここでは従来型のクリップフロップはもはや相補型MOSトランジスタを含んでいないが、しかしエンハンスマント型およびダイプレーション型MOSトランジスタの結合を含んでいる。このクリップフロップは4つのNチャネルトランジスタT₁～T₄を含む。トランジスタT₁及びT₂はトランジスタT₁及びT₂と同様直列接続されている。トランジスタT₃及びT₄はエンハンスマント型であり、即ちそれらは通常OFFにあり、トランジスタT₃及びT₄はダイプレーション型であり、即ちそれらは通常ONにある。トランジスタT₃及びT₄のゲートは相互に接続されており、トランジスタT₁及びT₂のドレン／ソース接続部に接続されている。トランジスタT₁及びT₂のゲートはトランジスタT₃及びT₄のドレン／ソ

ース接続部と相互接続されている。

記憶分岐回路と記憶エレメントとは第2回に示す前記説明と同様に接続されている。頂き始め図示された反接定クリップフロップはそれ自身公効である。それをここで説明したのは本発明が前述の型のクリップフロップの使用が既にされないという事実を強調するためである。動作の安全性を高めるため、しきい電圧V_Dが増加し、リセットタイミングを乱すと直ぐにセル(T₁₂, T₁₄)の通常の技術がターンオンされるため、この型の供給と元に戻る前の変形を用いることが可能である。従つてリセットタイミング中これらのダイプレーション型の負荷を絶縁させることができない。従来型のクリップフロップがエンハンスマント／ダイプレーション型Nチャネルトランジスタの結合を用いる場合、現在では記憶エレメントT₁及びT₂を構成するそのようなクリップフロップ運動ゲートトランジスタと結合させることが技術

的に簡単である。

以上、不揮発性機能を得るために4つの記憶分岐回路と結合されたクリップフロップについて説明してきた。前記従来型のクリップフロップは対称型であり、又記憶エレメントT_{M1}及びT_{M2}の2つのしきい電圧の距離が減少し、他方これらのアバイスが変化する時でも満足し得るよう作動するため出来るだけ対称的でなければならなかつた。更に記憶分岐回路がない時ある状態に自動的にリセットされる非対称クリップフロップを提供し得、このクリップフロップと結合された記憶エレメントが低いインピーダンス状態にある時、このクリップフロップを他の状態にリセットし得る1組の記憶分岐回路をそのまま非対称クリップフロップに結合させることができる。そのような非対称クリップフロップの制御モードは前記クリップフロップの制御モードと同じである。この構造の利点はシリコンの使用された表面が減

少することであるが、しかし欠点は非対称フリップフロップは対称的フリップフロップよりも幅度が低いということであり、これは特にそのようなフリップフロップは満足し得る動作を提供するため、NMOSエレメントのオフ状態とオン状態間のより大きな差を必要とするということを意味する。

前記実用例は、第2図で省略的に、第1図でより一般的に図示された基本回路に加えられる変形例にすぎない。当然本発明の範囲から離れることなく他の変形も可能であり、特に図示された実形を組合することも可能である。

4. 図面の簡単な説明

第1図は本発明による不揮発性フリップフロップの一実験回路、第2図は従来型のフリップフロップが従来型MOSトランジスタを含むことを特徴とする本発明によるデバイスの第1の具体例を示す説明図、第3図は様々な動作段階中デバイスに印加された電圧を示す図、第4図は記憶装置

出願人：日本電気株式会社
代表人：田中一郎
代理人：宮山 康
代理人：今村 元

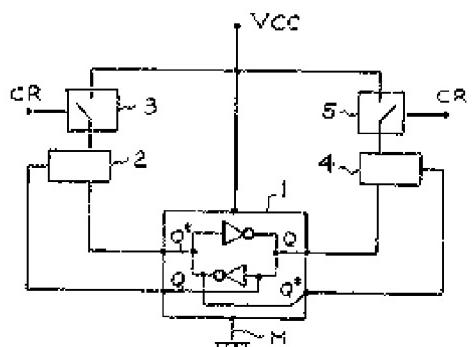


Fig. 1

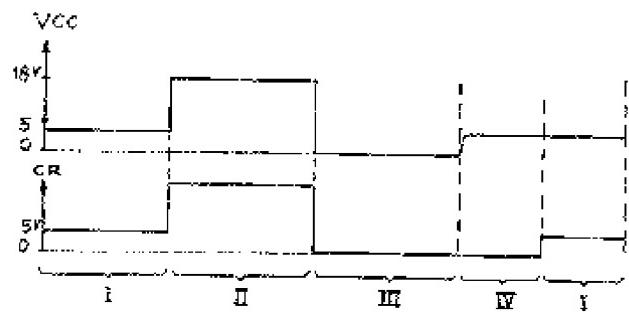


Fig. 3

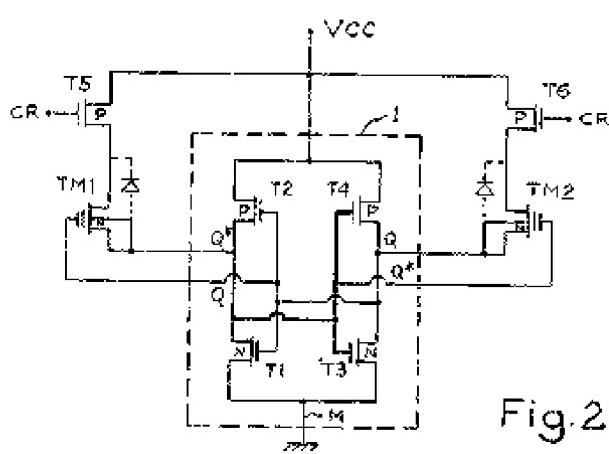


Fig. 2

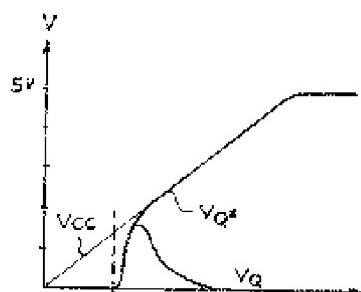


Fig. 4

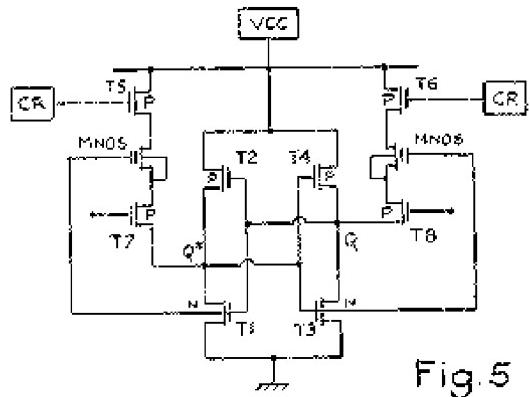


Fig. 5

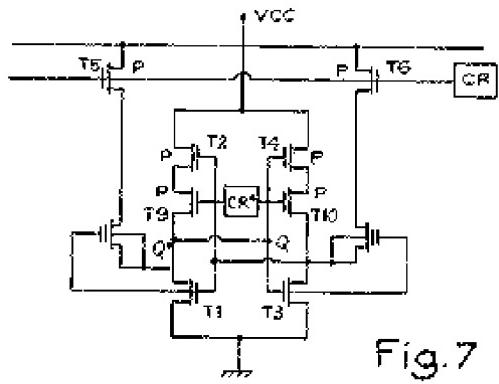


Fig. 7

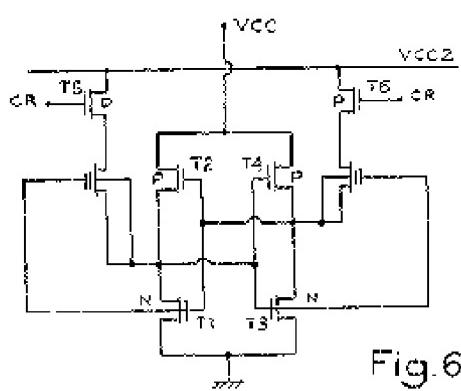


Fig. 6

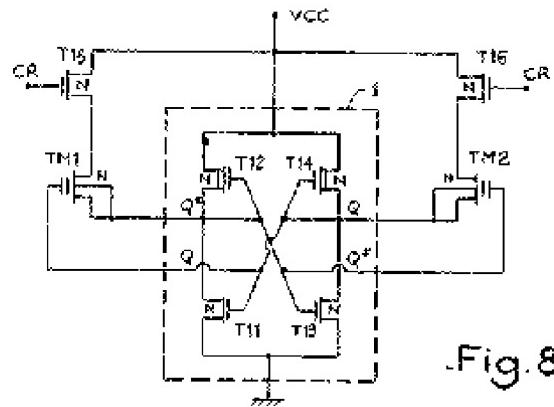


Fig. 8